

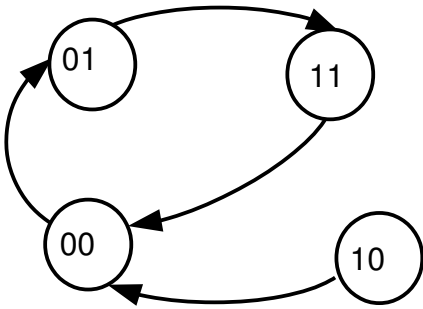
NOM : **Correction en rouge**  
 Prénom : **rouge**  
 Groupe :

# DS ENSL1 (2° bimestre)

## Feuille Réponse n° 1

### Exercice 1

On donne le diagramme d'évolution ci-contre.  
 1°) Remplir le tableau état présent – état futur :



État présent q1 q0	État futur Q1=q1+ Q0=q0+
00	0 1
01	1 1
10	0 0
11	0 0

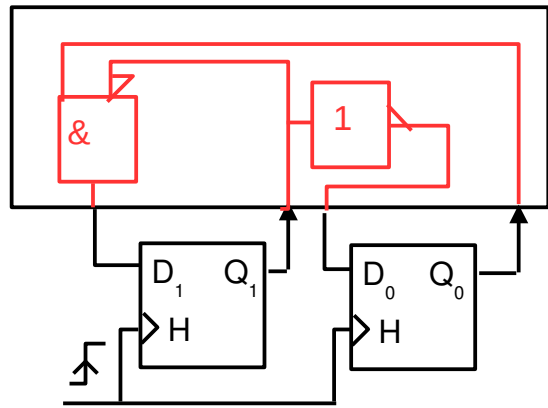
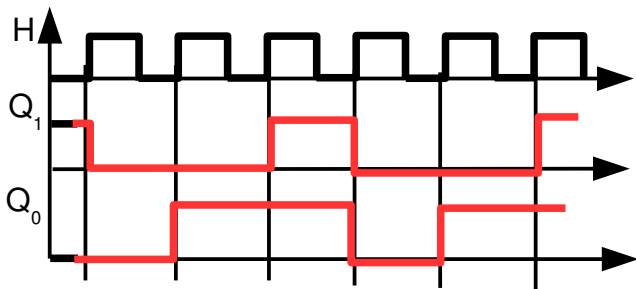
2°) En déduire les équations de récurrence

Réponse :

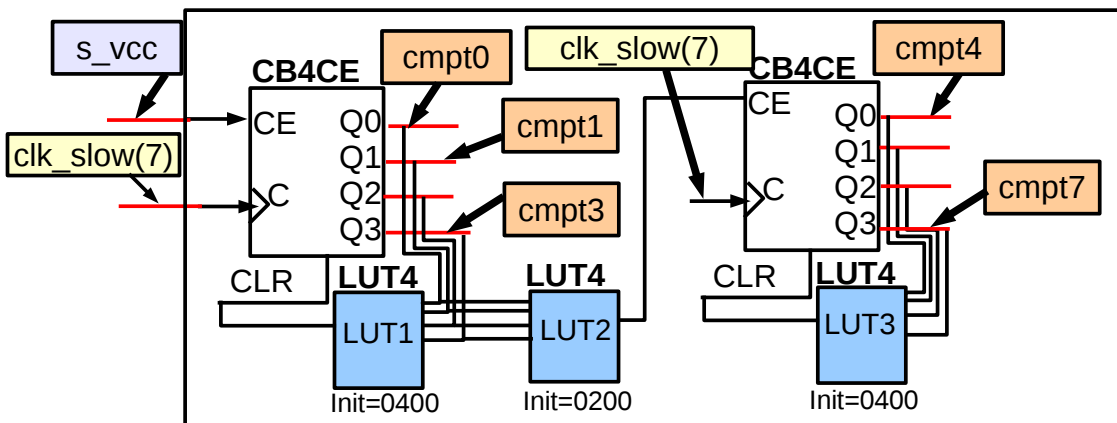
$$Q1^+ = /q1.q0$$

$$Q0^+ = /q1$$

3°) Compléter alors le schéma suivant et le chronogramme.



### Exercice 2



1°) On donne le schéma ci-dessus que l'on cherche à analyser. On suppose que  $(cmpt3, cmpt2, cmpt1, cmpt0)_2$  est à  $(1000)_2$  et  $(cmpt7, cmpt6, cmpt5, cmpt4)_2$  est à  $(0001)_2$ . Donner la sortie des deux LUTs : LUT1 et LUT2 pour lesquelles on vous donne l'initialisation.

Réponses :

- \* sortie LUT1 = CLR = 0
- \* sortie LUT2 = CE = 0

NOM :  
Prénom :  
Groupe :

# DS ENSL1 (2° bimestre)

## Feuille Réponse n° 2

2°) Remplir la table de vérité ci-contre pour LUT1 et LUT2

**Réponse ci-contre**

3°) Si un front d'horloge arrive en clk\_slow(7) que se passe-t-il alors pour le compteur de gauche : quelle est sa nouvelle valeur ?

**Réponse :**

$(1001)_2$

4°) Quelle est alors la nouvelle valeur du compteur de droite ?

**Réponse :**

$(0001)_2$

5°) A partir des deux valeurs calculées en question 3°) et 4°) en déduire la nouvelle valeur des sorties des LUTs LUT1 et LUT2

**Réponse :** LUT1 -> 0  
LUT2 -> 1

6°) Quelles sont les nouvelles valeurs des deux compteurs si un nouveau front d'horloge survient ?

**Réponse :**

$(1010)_2$

$(0010)_2$

	LUT1	LUT2
0000		
0001		
0010		
0011		
0100		
0101		
0110		
0111		
1000		
1001		1
1010	1	
1011		
1100		
1101		
1110		
1111		

### Exercice 3

Le composant mémoire RAM32x8s de chez Xilinx est présenté ci-contre.

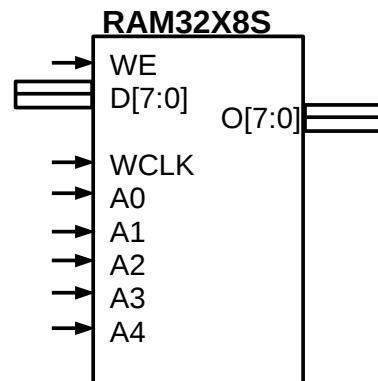
a) Déterminer le nombre de bits du bus d'adresse et la largeur du bus de données ainsi que la capacité de cette mémoire en octets

**Réponses :**

\* bus de données n = 8

\* bus d'adresse m = 5

\* Capacité C = 32 octets

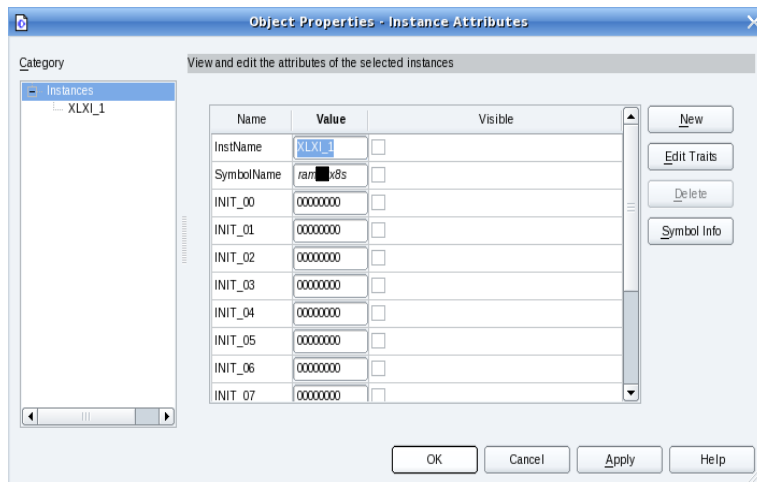


b) Pouvez-vous dire si la boîte de dialogue correspond à l'initialisation d'une RAM32x8s. Donnez quelques explications à partir de la taille de INIT\_00

**Réponses :**

8 caractères initialisation

Donc 32 lignes



NOM :  
Prénom :  
Groupe :

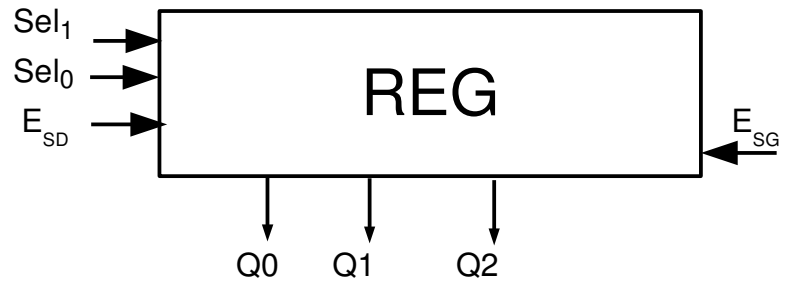
# DS ENSL1 (2° bimestre)

## Feuille Réponse n° 3

### Exercice 4

On désire implanter un registre programmable par deux entrées appelées Sel<sub>1</sub> et Sel<sub>0</sub>.

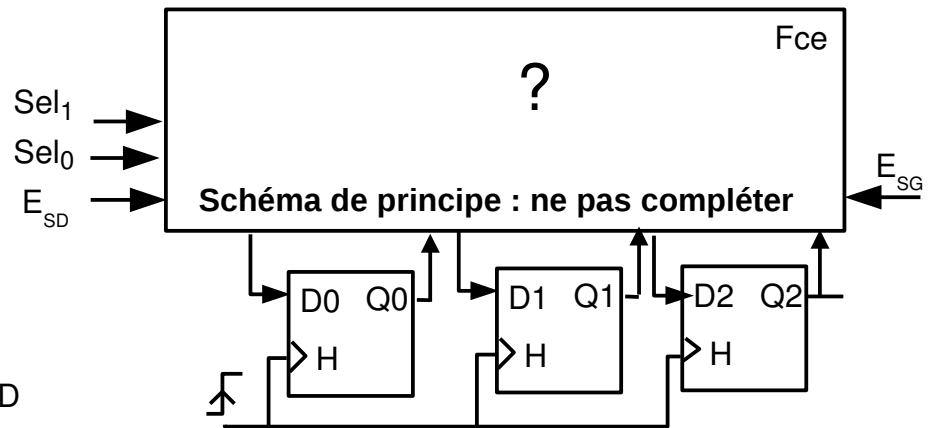
Sel <sub>1</sub>	Sel <sub>0</sub>	Fonction
0	0	Décalage droite circulaire
0	1	Décalage gauche
1	0	Décalage droite
1	1	maintien (on garde la même valeur)



1°) Donner la table de vérité généralisée correspondant à la fonction combinatoire d'entrée Fce

Réponse :

Sel <sub>1</sub>	Sel <sub>0</sub>	D0	D1	D2
0	0	Q2	Q0	Q1
0	1	Q1	Q2	ESG
1	0	ESD	Q0	Q1
1	1	Q0	Q1	Q2



Remarque : pour réaliser le maintien sur une bascule D on relie son entrée D à sa sortie Q.

2°) En déduire les équations correspondantes.

Réponses :

$$D0 = Q2 \cdot \overline{\text{sel1}} \cdot \overline{\text{sel0}} + Q1 \cdot \overline{\text{sel2}} \cdot \text{sel0} + \text{ESD} \cdot \text{sel1} \cdot \overline{\text{sel0}} + Q0 \cdot \text{sel1} \cdot \text{sel0}$$

$$D1 = Q0 \cdot \overline{\text{sel1}} \cdot \overline{\text{sel0}} + Q2 \cdot \overline{\text{sel2}} \cdot \text{sel0} + Q0 \cdot \text{sel1} \cdot \overline{\text{sel0}} + Q1 \cdot \text{sel1} \cdot \text{sel0}$$

$$D2 = Q1 \cdot \overline{\text{sel1}} \cdot \overline{\text{sel0}} + \text{ESG} \cdot \overline{\text{sel2}} \cdot \text{sel0} + Q1 \cdot \text{sel1} \cdot \overline{\text{sel0}} + Q2 \cdot \text{sel1} \cdot \text{sel0}$$

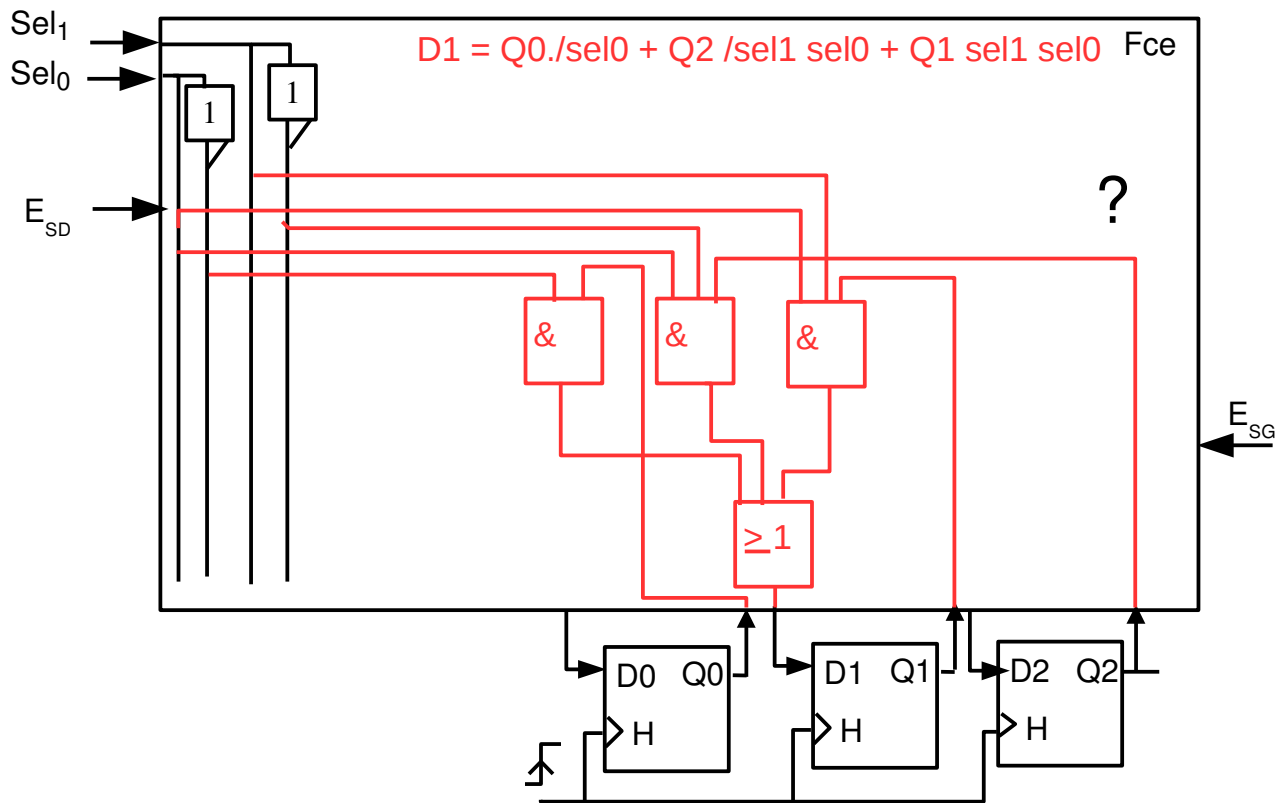
Suite et fin au verso

NOM :  
Prénom :  
Groupe :

# DS ENSL1 (2° bimestre)

## Feuille Réponse n° 4

3°) Réaliser un schéma ET/OU d'implantation ci-dessous pour D1 seulement en simplifiant au mieux.



4°) Si l'on supprime les inverseurs dessinés ci-dessus en les remplaçant par des portes avec inverseurs intégrés (**and2b1** par exemple), on vous demande de lister les portes Xilinx nécessaires pour réaliser D1.

**Réponse** : (avec quelques explications)

and2b1  
and3b1  
and3  
or3