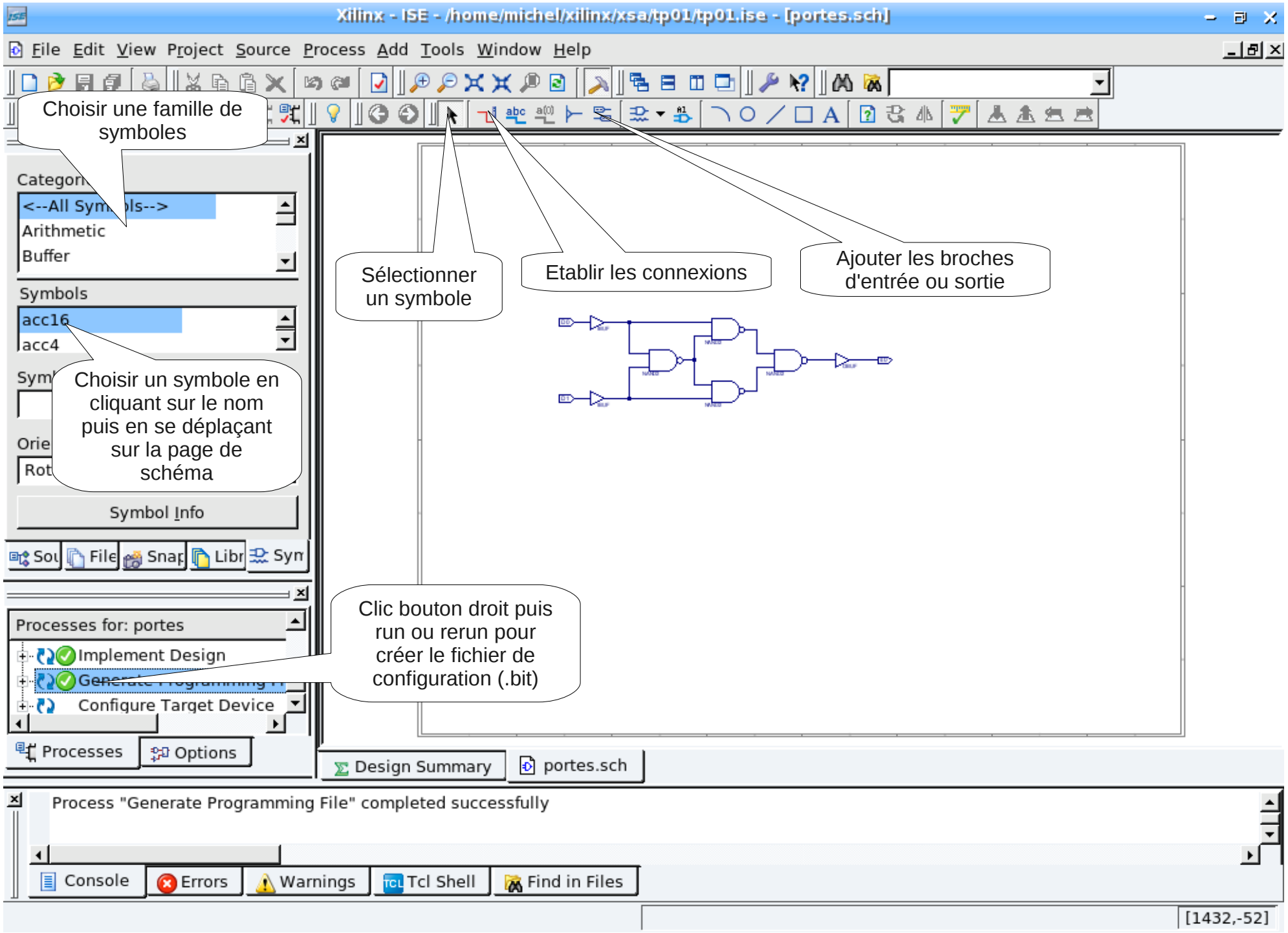
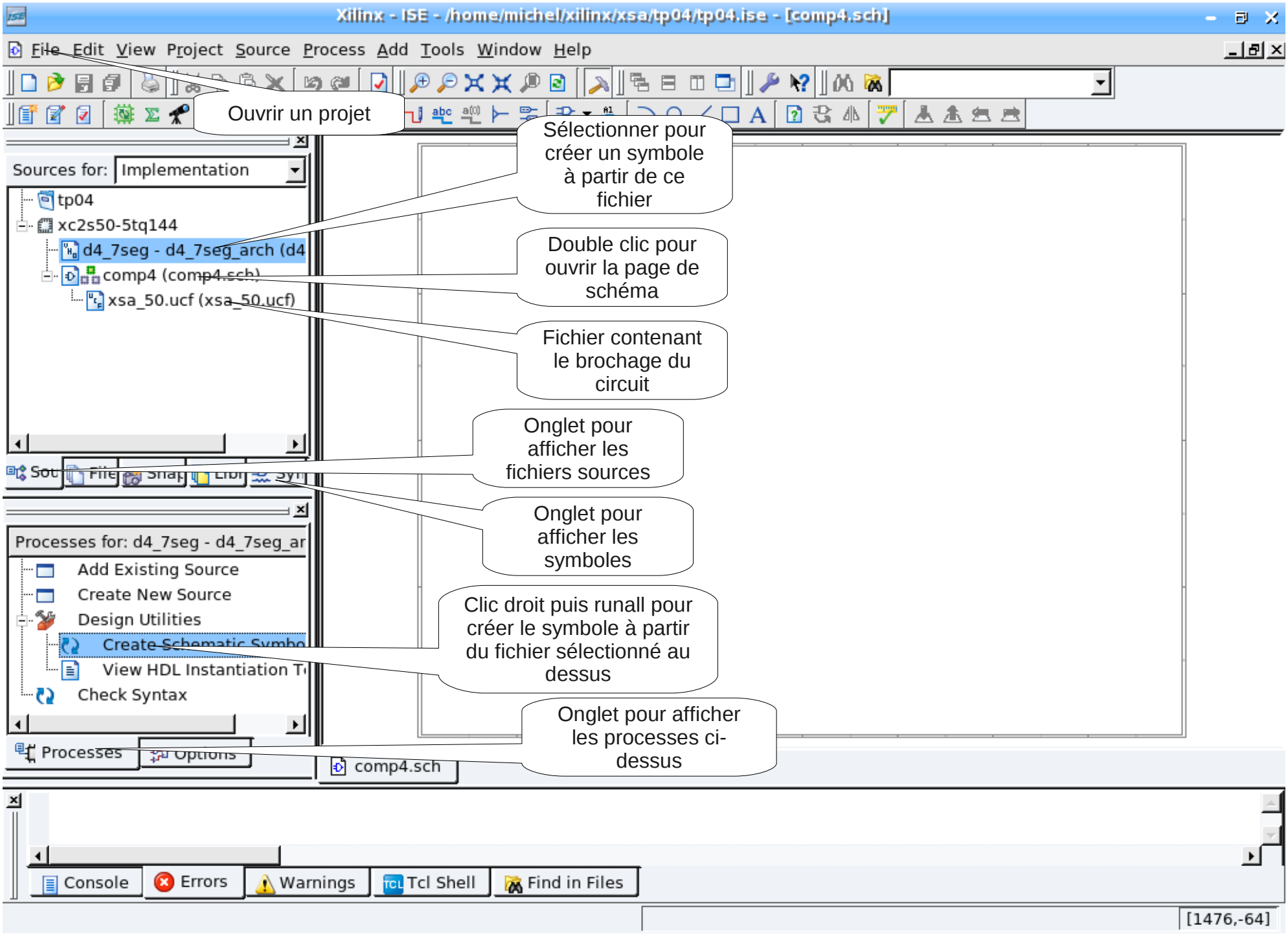
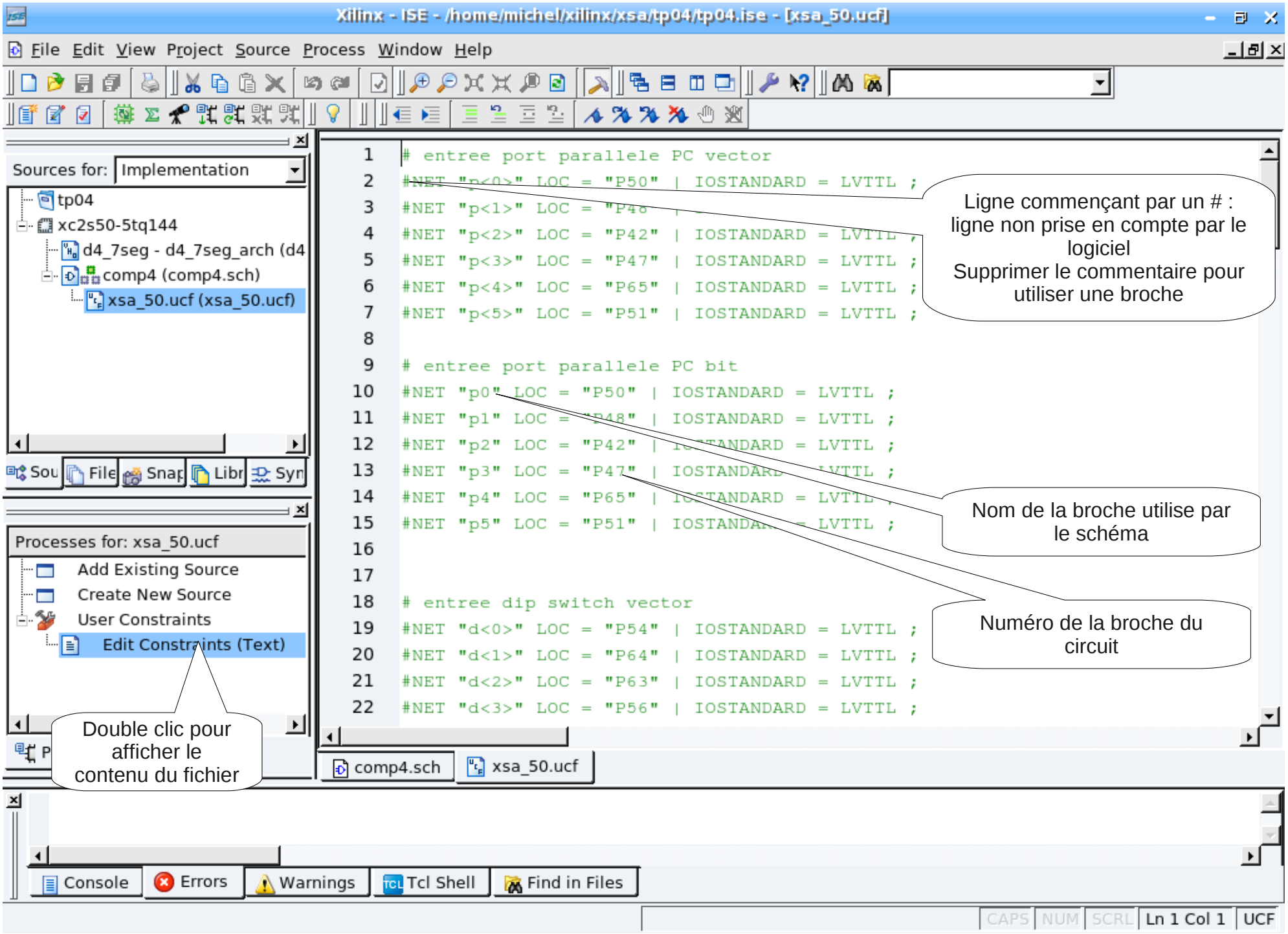
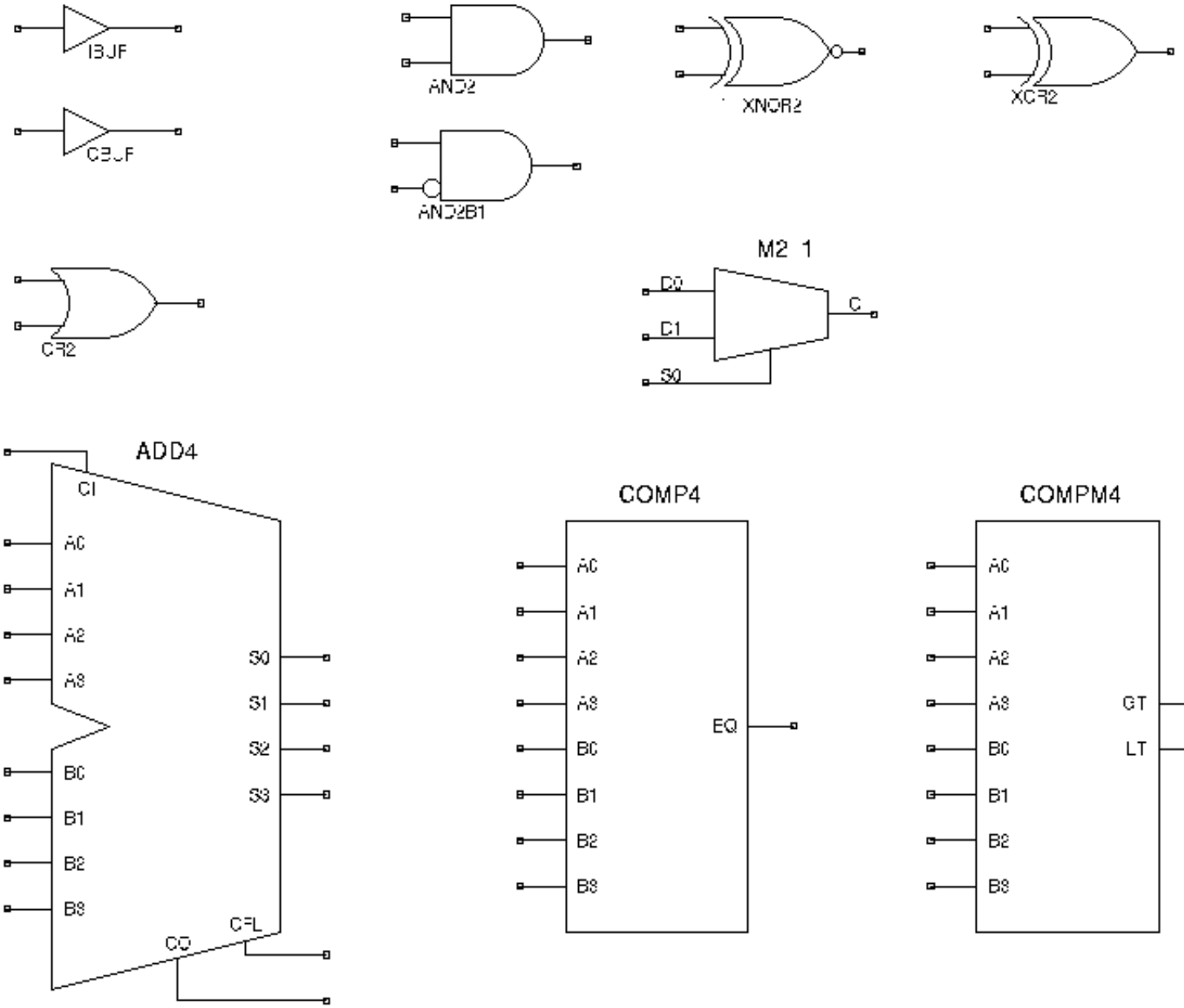
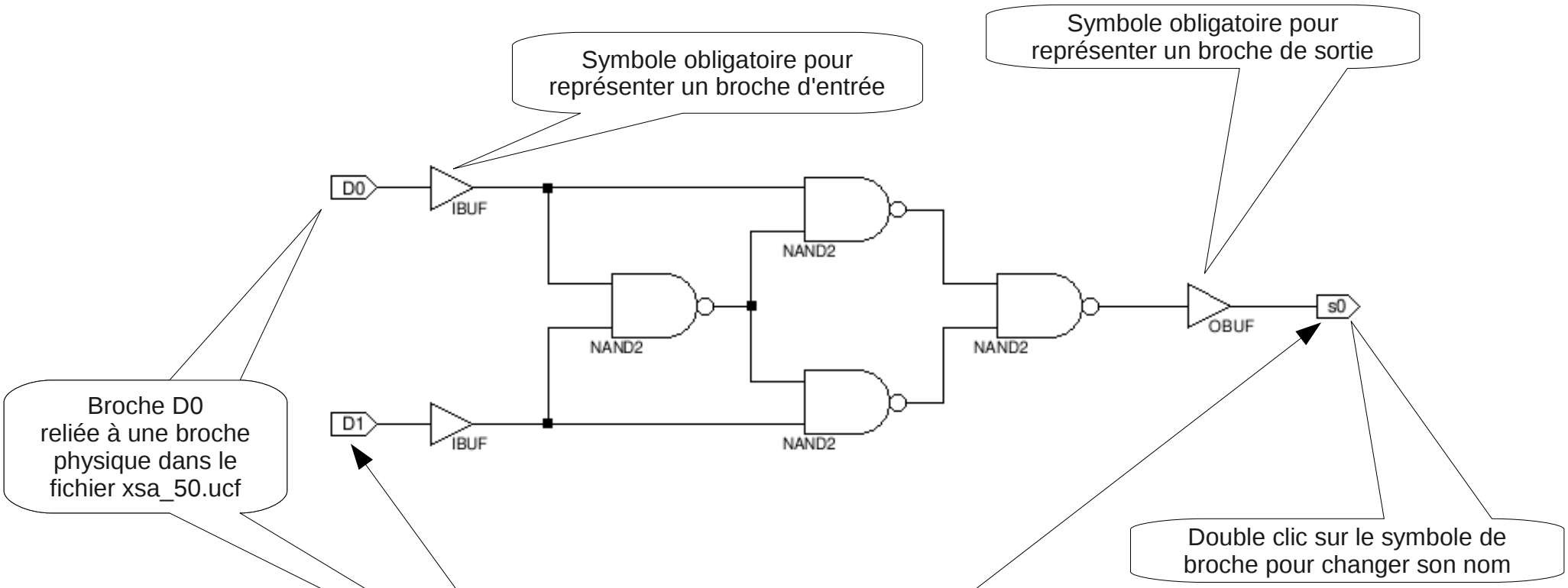

Xilinx - ISE - /home/michel/xilinx/xsa/tp01/tp01.ise - [portes.sch]
File Edit View Project Source Process Add Tools Window Help
Choisir une famille de symboles
Arithmetic
Buffer
Symbols
acc16
acc4
Choisir un symbole en cliquant sur le nom puis en se déplaçant sur la page de schéma
Symbol Info
Sélectionner un symbole
Etablir les connexions
Ajouter les broches d'entrée ou sortie
Processes for: portes
Implement Design
Configure Target Device
Clic bouton droit puis run ou rerun pour créer le fichier de configuration (.bit)
Processes
Options
Design Summary
portes.sch
Process "Generate Programming File" completed successfully
Console
Errors
Warnings
Tcl Shell
Find in Files
[1432,-52]


Xilinx - ISE - /home/michel/xilinx/xsa/tp04/tp04.ise - [comp4.sch]
File Edit View Project Source Process Add Tools Window Help
Ouvrir un projet
Sources for: Implementation
tp04
xc2s50-5tq144
d4_7seg - d4_7seg_arch (d4
comp4 (comp4.sch)
xsa_50.ucf (xsa_50.ucf)
Sélectionner pour créer un symbole à partir de ce fichier
Double clic pour ouvrir la page de schéma
Fichier contenant le brochage du circuit
Onglet pour afficher les fichiers sources
Onglet pour afficher les symboles
Processes for: d4_7seg - d4_7seg_ar
Add Existing Source
Create New Source
Design Utilities
Create Schematic Symbo
View HDL Instantiation T
Check Syntax
Clic droit puis runall pour créer le symbole à partir du fichier sélectionné au dessus
Onglet pour afficher les processes ci-dessus
Processes
Options
comp4.sch
Console
Errors
Warnings
Tcl Shell
Find in Files
[1476,-64]


Xilinx - ISE - /home/michel/xilinx/xsa/tp04/tp04.ise - [xsa_50.ucf]
File Edit View Project Source Process Window Help
Sources for: Implementation
tp04
xc2s50-5tq144
d4_7seg - d4_7seg_arch (d4
comp4 (comp4.sch)
xsa_50.ucf (xsa_50.ucf)
Processes for: xsa_50.ucf
Add Existing Source
Create New Source
User Constraints
Edit Constraints (Text)
1 # entree port parallele PC vector
2 #NET "p<0>" LOC = "P50" | IOSTANDARD = LVTTL ;
3 #NET "p<1>" LOC = "P48" | IOSTANDARD = LVTTL ;
4 #NET "p<2>" LOC = "P42" | IOSTANDARD = LVTTL ;
5 #NET "p<3>" LOC = "P47" | IOSTANDARD = LVTTL ;
6 #NET "p<4>" LOC = "P65" | IOSTANDARD = LVTTL ;
7 #NET "p<5>" LOC = "P51" | IOSTANDARD = LVTTL ;
8
9 # entree port parallele PC bit
10 #NET "p0" LOC = "P50" | IOSTANDARD = LVTTL ;
11 #NET "p1" LOC = "P48" | IOSTANDARD = LVTTL ;
12 #NET "p2" LOC = "P42" | IOSTANDARD = LVTTL ;
13 #NET "p3" LOC = "P47" | IOSTANDARD = LVTTL ;
14 #NET "p4" LOC = "P65" | IOSTANDARD = LVTTL ;
15 #NET "p5" LOC = "P51" | IOSTANDARD = LVTTL ;
16
17
18 # entree dip switch vector
19 #NET "d<0>" LOC = "P54" | IOSTANDARD = LVTTL ;
20 #NET "d<1>" LOC = "P64" | IOSTANDARD = LVTTL ;
21 #NET "d<2>" LOC = "P63" | IOSTANDARD = LVTTL ;
22 #NET "d<3>" LOC = "P56" | IOSTANDARD = LVTTL ;
comp4.sch
xsa_50.ucf
Console
Errors
Warnings
Tcl Shell
Find in Files
CAPS NUM SCRL Ln 1 Col 1 UCF
Ligne commençant par un # : ligne non prise en compte par le logiciel
Supprimer le commentaire pour utiliser une broche
Nom de la broche utilise par le schéma
Numéro de la broche du circuit
Double clic pour afficher le contenu du fichier

Exemples de symboles





Extrait du fichier : xsa_50.ucf

```
# entree dip switch
NET "D0" LOC = "P54" | IOSTANDARD = LVTTL ;
NET "D1" LOC = "P64" | IOSTANDARD = LVTTL ;



# sortie 8 bits data
NET "s0" LOC = "P39"  | IOSTANDARD = LVTTL  ;
```